

SPECIFICATION

MODEL: Serial Wire Debug (SWD)

PART NO : _____

VERSION : V1.01

Approver		Check	Design
GM	PM		

Customer Confirm

目录

1	软件注册	3
2	人机界面	6
3	使用说明	10

1 软件注册

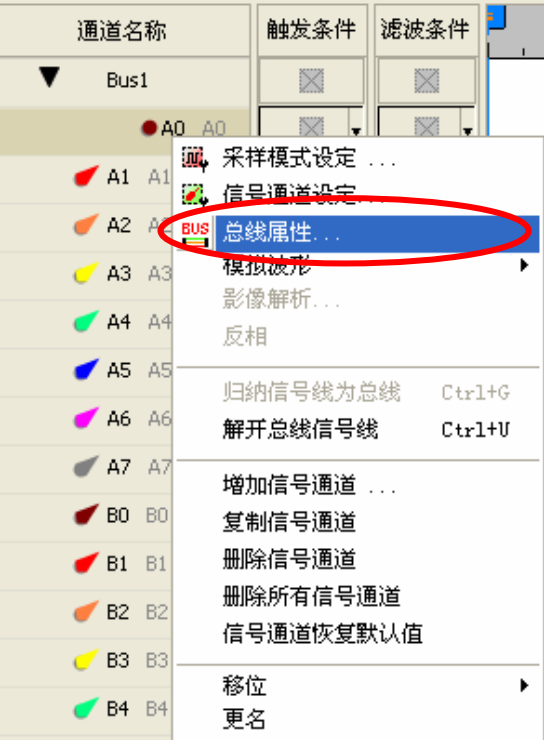
软件注册请依照下列步骤进行注册。

- ※ 注 1：所有总线注册程序皆相同，注册时依照程序即可，下图注册以 **BUS** 总线协议为范例，藉以参考。
- ※ 注 2：本说明书若有任何改动恕不另行通知。因模组版本升级而造成的与本说明书不符，以模组软件为准。

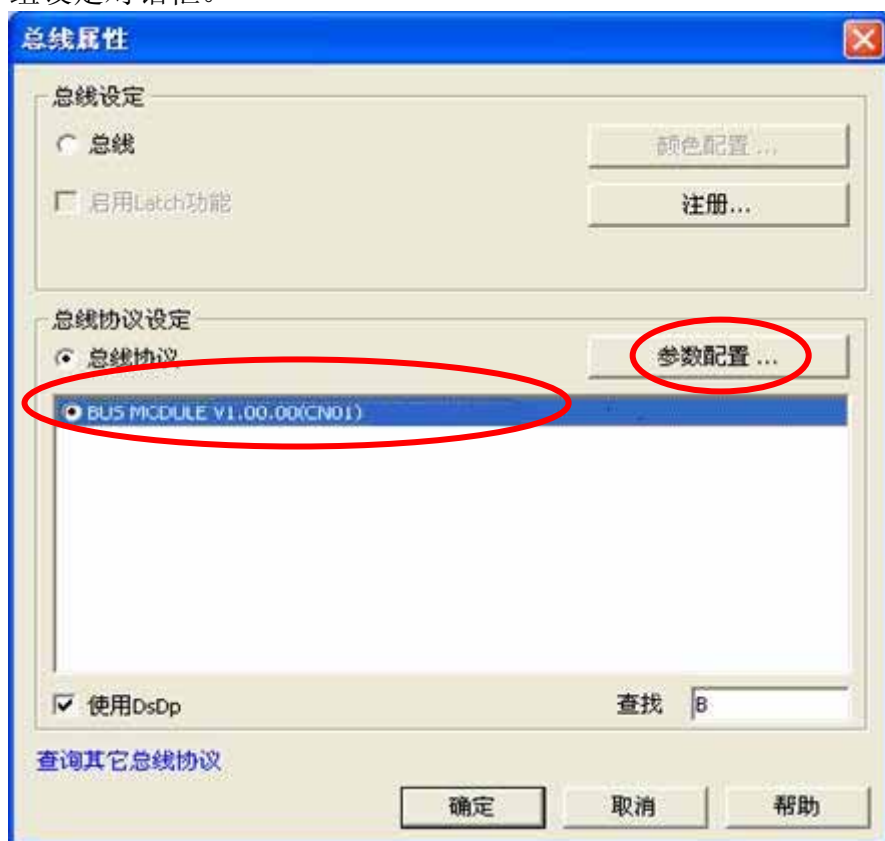
STEP 1. 打开逻辑分析仪软体，在通道名称区域右键，点选归纳信号线为总线，把 A0 归纳为 Bus1。



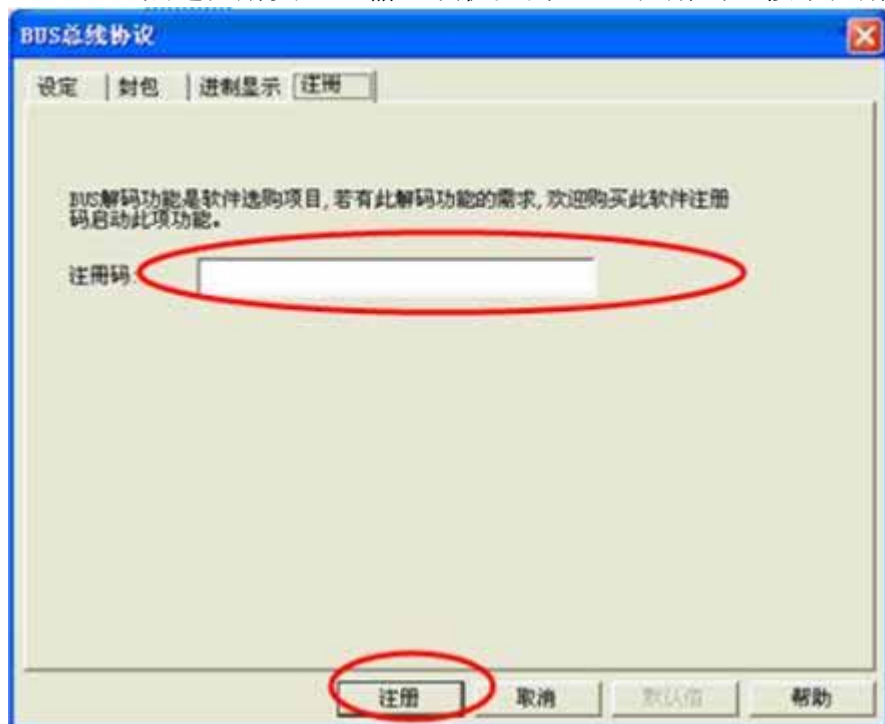
STEP 2. 选择 Bus1，再在通道区域右键，点选总线属性，调出总线属性对话框。



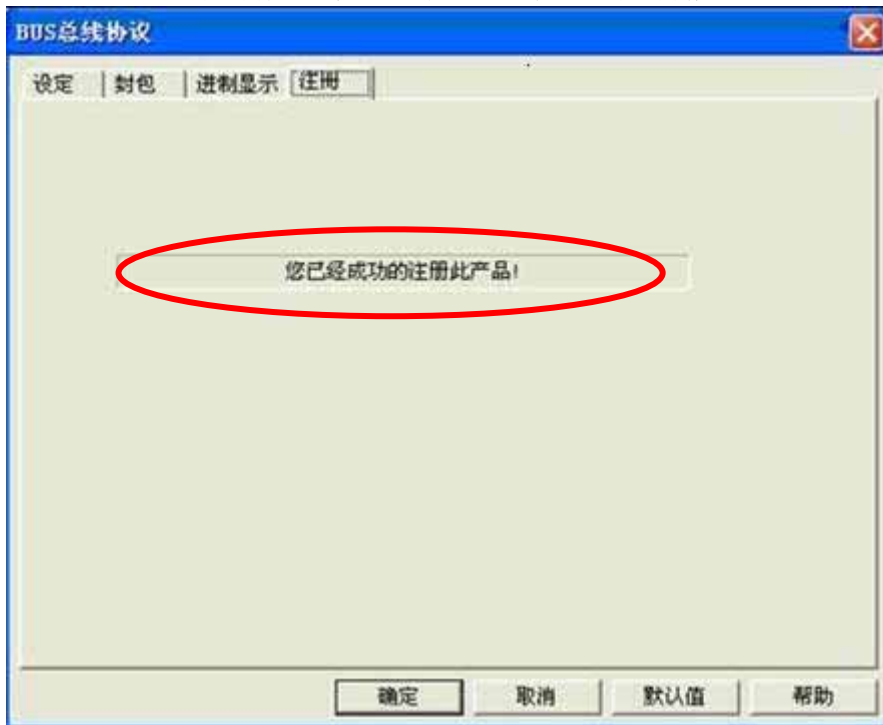
STEP 3. 在总线属性对话框，点选 BUS MODULE V1.00.00 (CN01)，再单击参数配置按钮，调出该模组设定对话框。



STEP 4. 点选注册页签，输入该机型的 BUS 注册码，按下注册按钮进行注册。



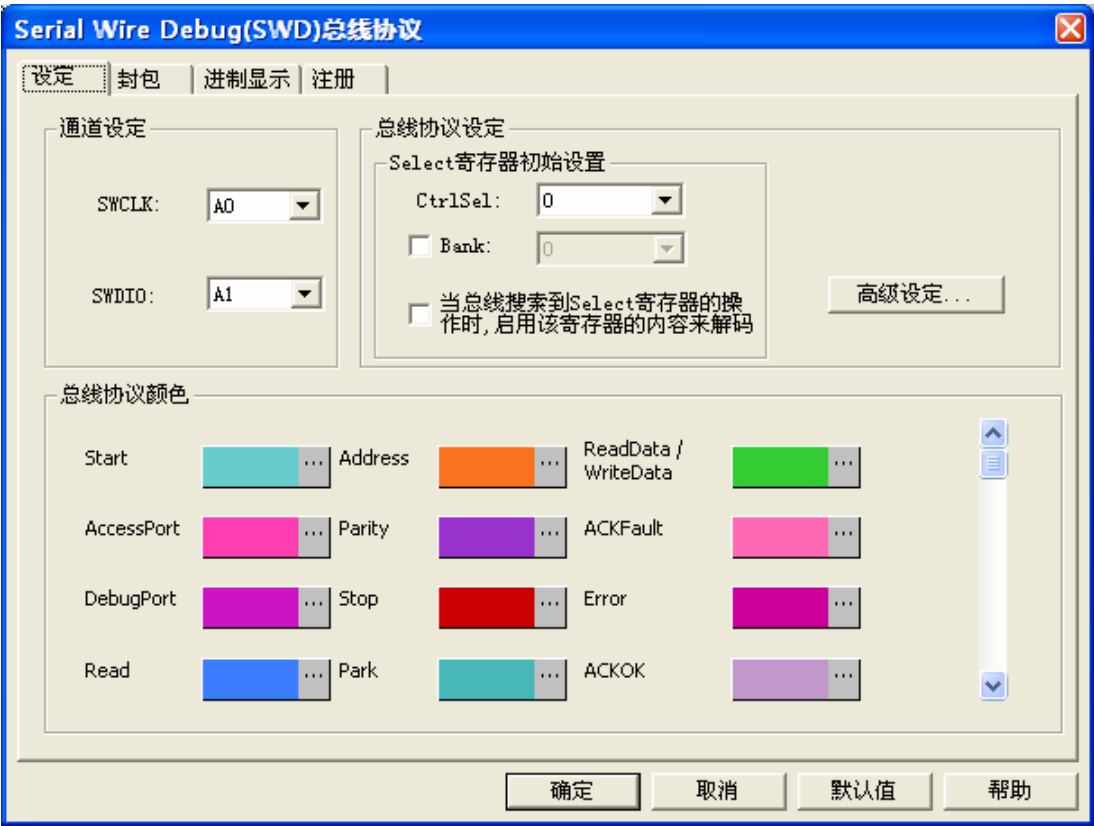
STEP 5. 注册成功后，在注册页会显示注册成功信息。



2 人机界面

设定部分，请参考下图界面。

设定页



通道设定：

Serial Wire Debug（SWD）总线协议需 2 线或 2 线以上才可解码，时钟线 SWCLK 默认为 A0，数据线 SWDIO 默认为 A1。

总线协议设定：

CtrlSel：可选择 0 或是 1，默认值为 0。

Bank：勾选后可选择 0、1、2、3、4、5、6、7、8、9，默认不勾选。

当总线搜索到 Select 寄存器的操作时，启用该寄存器的内容来解码：勾选此项时，当总线搜索到 Select 寄存器的操作时，启用该寄存器的内容来解码。

高级设定:



可设置 AP 寄存器显示及 DP 寄存器显示。

AP 寄存器：可点选默认、JTAG-AP 或 MEM-AP。

点选默认，寄存器显示列表灰显；

点选 JTAG-AP，寄存器显示列表可设置 AP-CSW Register、AP-PSEL Register、AP-PSTA Register、AP-BRFIFO1 Register、AP-BWFIFO1 Register、AP-BRFIFO2 Register、AP-BWFIFO2 Register、AP-BRFIFO3 Register、AP-BWFIFO3 Register、AP-BRFIFO4 Register、AP-BWFIFO5 Register、AP-IDR Register。

点选 MEM-AP，寄存器列表可设置 AP-CSW Register、AP-IDR Register、AP-TAR Register、AP-DRW Register、AP-BD0 Register、AP-BD1 Register、AP-BD2 Register、AP-BD3 Register、AP-CFG Register、AP-BASE Register。

DP 寄存器：勾选开启后，寄存器列表可设置 DP-IDCODE Register、DP-ABORT Register、DP-CTRL/STAT Register、DP-WCR Register、DP-RESEND Register、DP-SELECT Register、DP-RDBUFF Register、DP-ROUTESEL Register。

总线协议颜色：

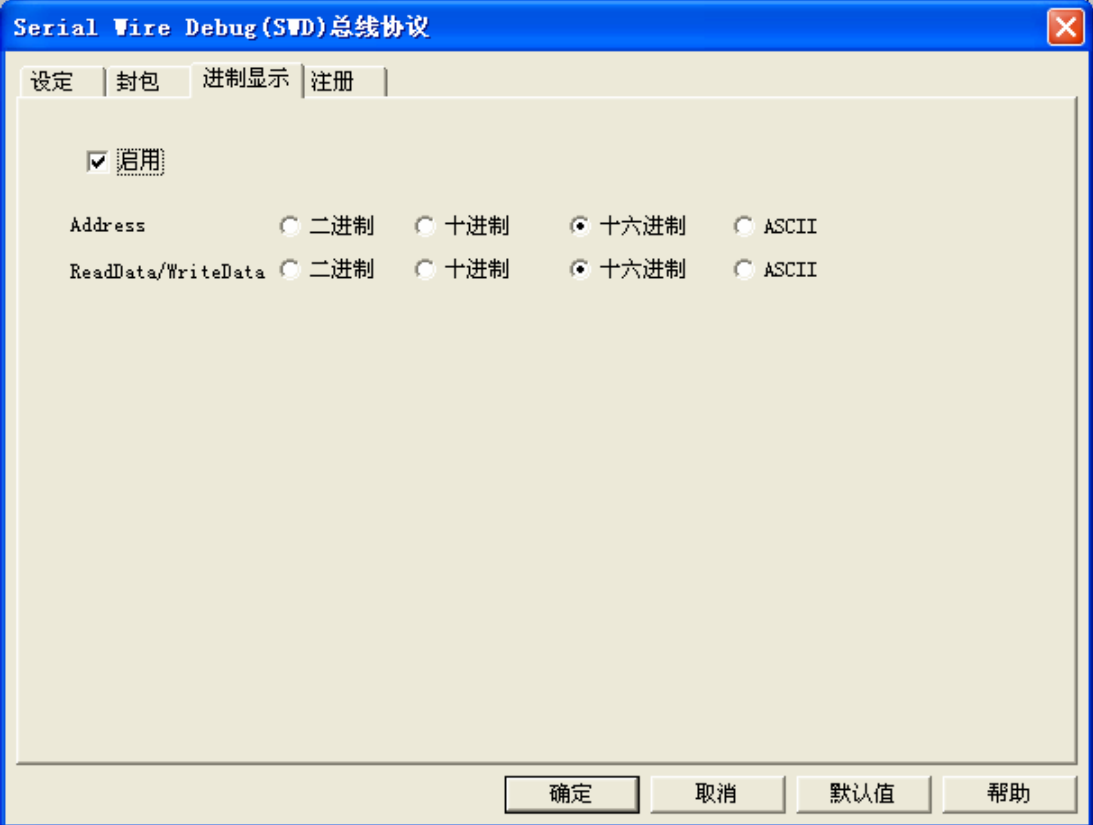
使用者可自行设定解码字段的颜色。

封包页



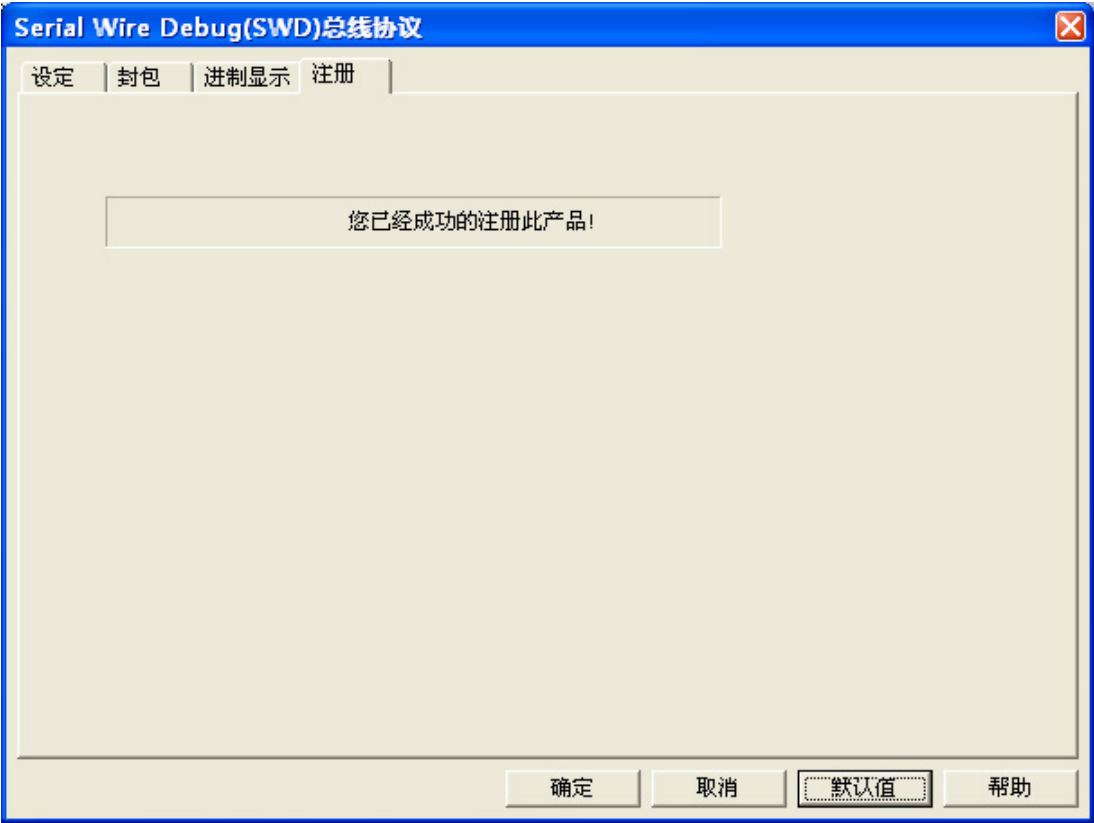
封包可依使用者喜好调整封包颜色，勾选子项将显示在封包列表中，未勾选子项将不会显示在封包列表中。

进制显示页



当启用自定义进制显示时，Address、ReadData/WriteData 用户可自定义其进制,波形区、封包列表 Address、ReadData/WriteData 数据格式受模组控制。不启用时，为灰色状态，不可点选进制设定。

注册页

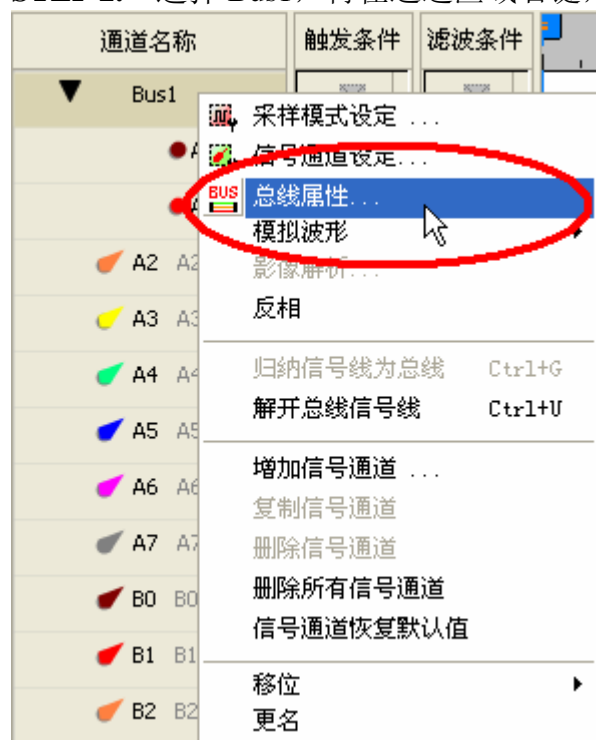


3 使用说明

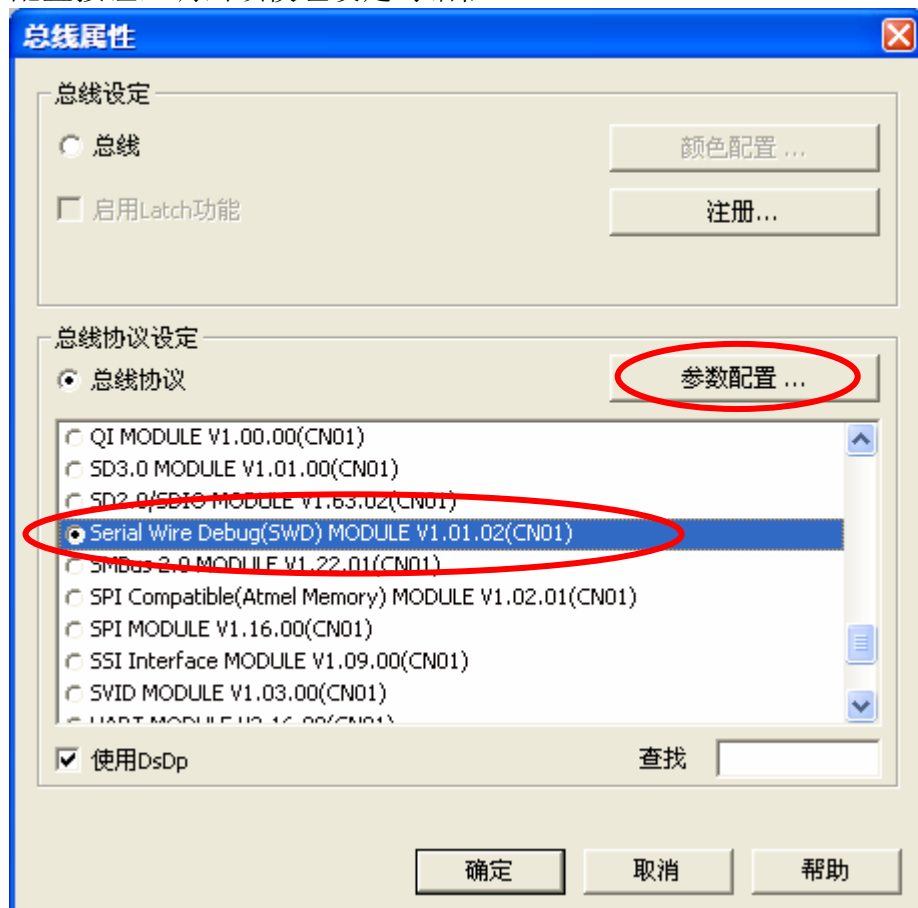
STEP 1. 在通道名称区域右键，点选归纳信号线为总线，把 A0~A1 归纳为 Bus1，Serial Wire Debug (SWD) 总线协议分析需 2 线或 2 线以上解码。



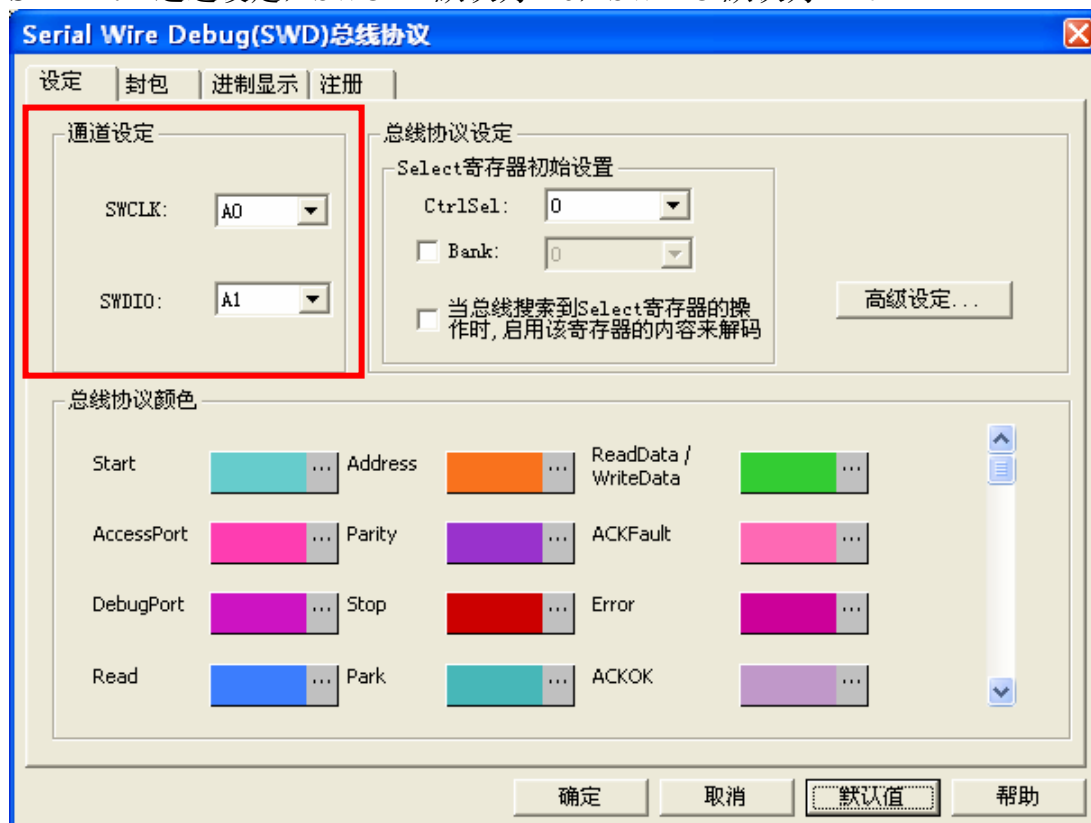
STEP 2. 选择 Bus1，再在通道区域右键，点选总线属性，调出总线属性对话框。



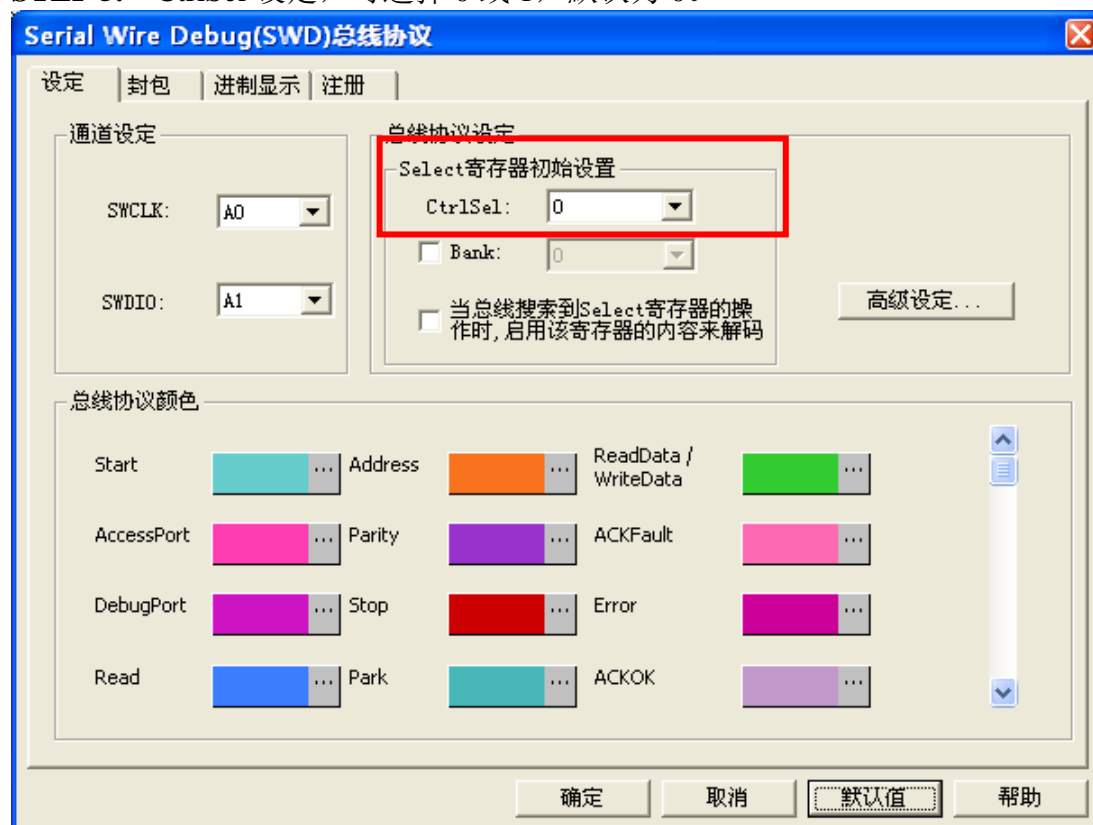
STEP 3. 在总线属性对话框，点选 Serial Wire Debug (SWD) MODULE V1.01.02(CN01)，再单击参数配置按钮，调出该模组设定对话框。



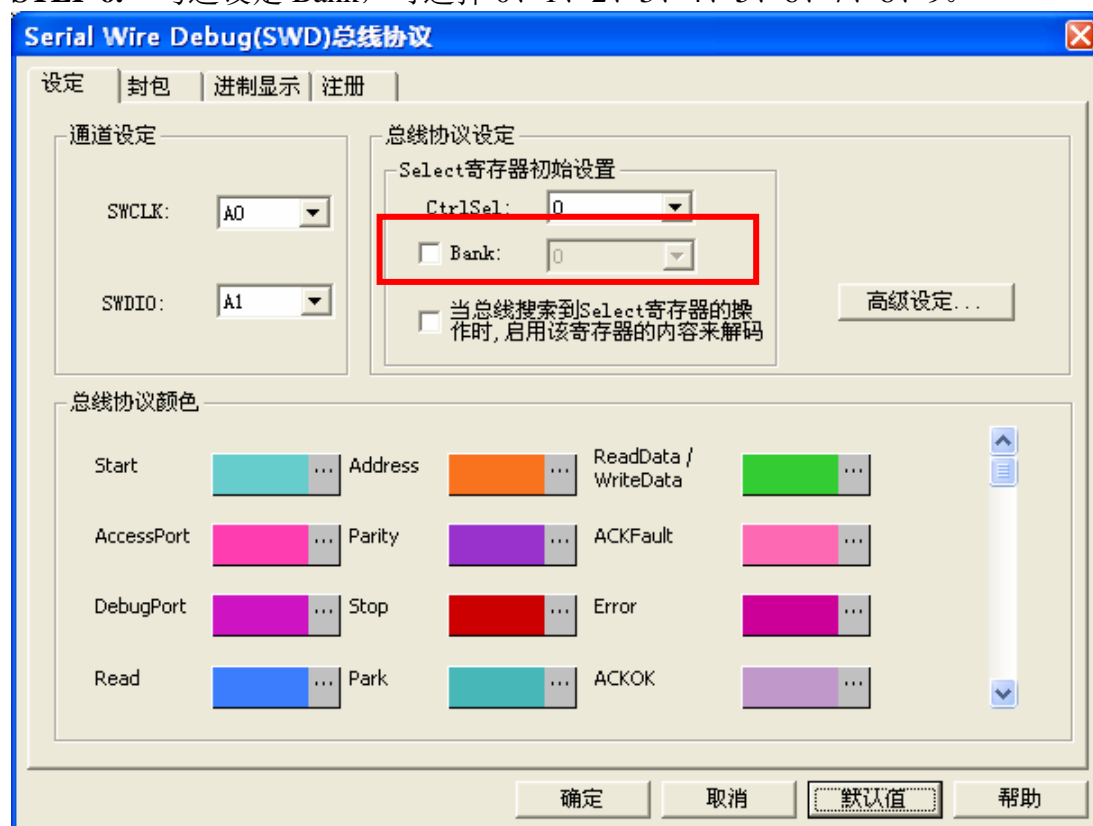
STEP 4. 通道设定，SWCLK 默认为 A0，SWDIO 默认为 A1。



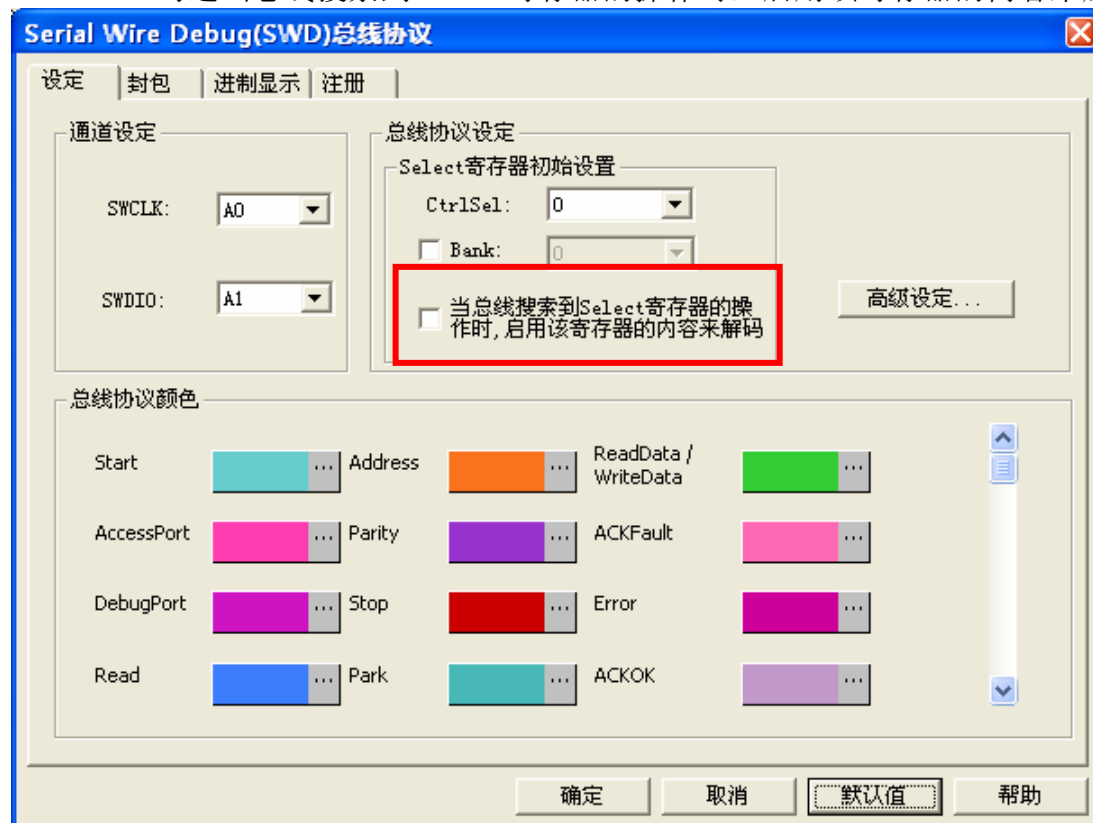
STEP 5. CtrlSel 设定，可选择 0 或 1，默认为 0。



STEP 6. 勾选设定 Bank，可选择 0、1、2、3、4、5、6、7、8、9。



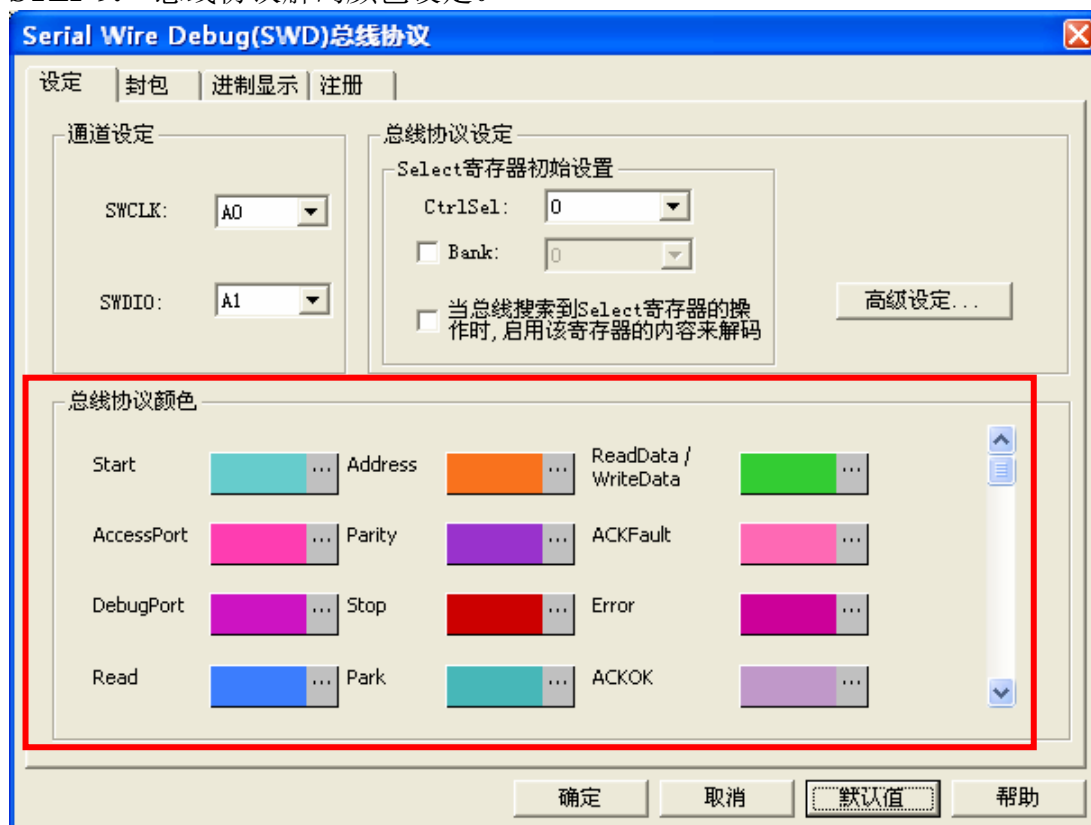
STEP 7. 勾选当总线搜索到 Select 寄存器的操作时，启用该寄存器的内容来解码。



STEP 8. 单击高级设定按钮，进行 AP 寄存器及 DP 寄存器设置。

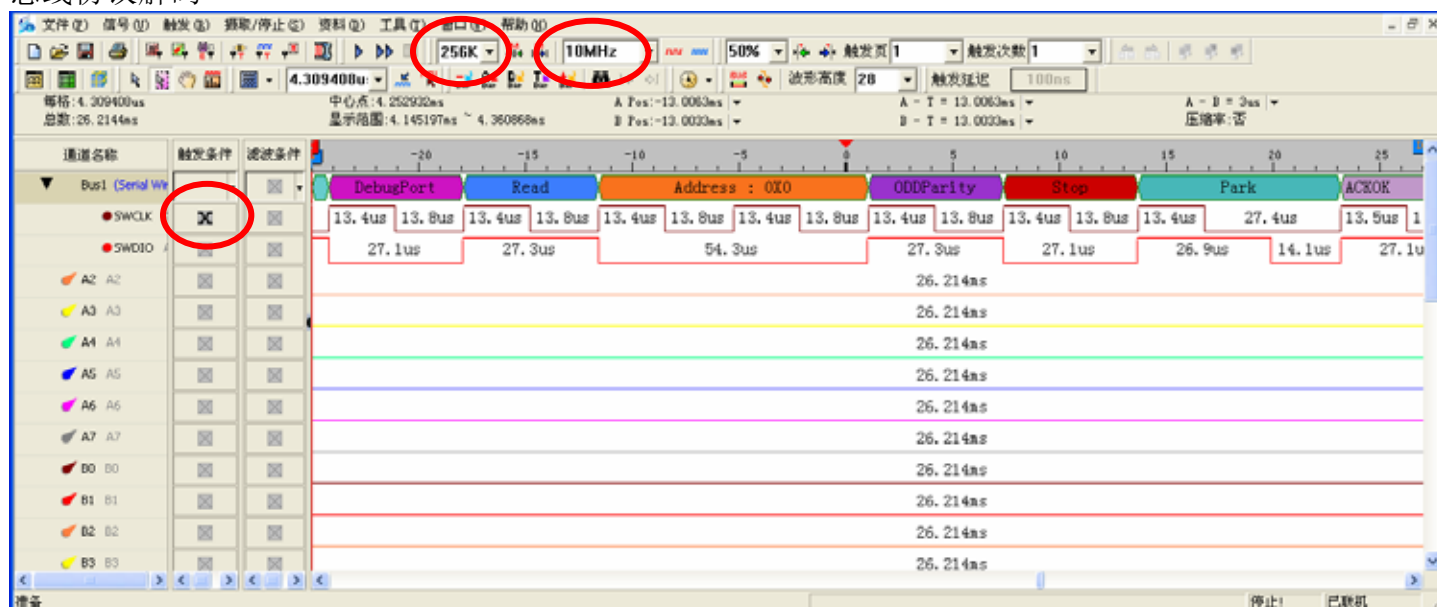


STEP 9. 总线协议解码颜色设定。



STEP 10. 总线协议解码完成图示，设定条件为任一边沿触发、内存为 256K、采样频率为 10MHz。（采样频率最好是待测讯号的 4 倍以上）

总线协议解码



封包列表

